

Family list

3 family member for:

JP3085530

Derived from 1 application.

1 ACTIVE MATRIX DISPLAY DEVICE

Publication info: **JP2106783C C** - 1996-11-06

JP3085530 A - 1991-04-10

JP8020643B B - 1996-03-04

Data supplied from the *esp@cenet* database - Worldwide

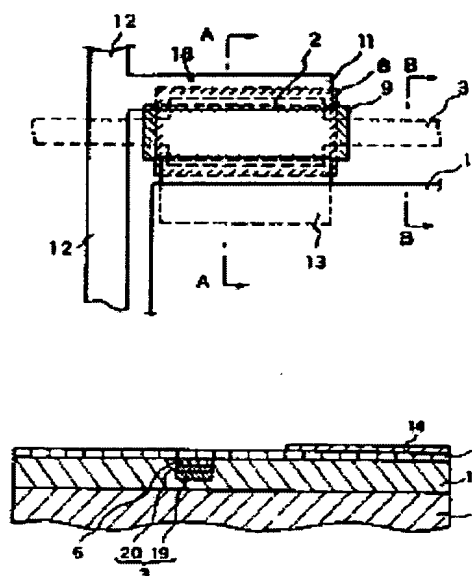
ACTIVE MATRIX DISPLAY DEVICE

Patent number: JP3085530
Publication date: 1991-04-10
Inventor: MIYANOCHI MAKOTO; OKA HIROSHI; KATO HIROAKI
Applicant: SHARP KK
Classification:
 - International: **G02F1/1333; G02F1/1343; G02F1/136; H01L29/786; G02F1/13; H01L29/66; (IPC1-7): G02F1/1333; G02F1/136**
 - european:
Application number: JP19890224193 19890829
Priority number(s): JP19890224193 19890829

Report a data error here

Abstract of JP3085530

PURPOSE: To provide the smaller specific resistance, the less generating of leakage between gate bus wirings and source bus wirings and the larger aperture rate by forming upper and lower gate bus wirings in the grooves formed in an insulating layer and the insulating film provided on this upper gate bus wiring. **CONSTITUTION:** The gate bus wiring 3 provided in the groove formed on the insulating layer 16 has the lower gate wiring 19 and the upper gate wiring 20. Further, the insulating film 6 is formed on the upper gate wiring 20. A metal, such as, for example, Al, having the low resistance can be used for the lower gate wiring 19 and a metal, such as, for example, Ta, which can be anodized, can be used for the upper gate gate bus wiring 20 if the gate bus wiring 3 is made into the two-layered structure in such a manner. The upper surface of the insulating film 6 can be formed flush with the surface of the insulating layer 16 and, therefore, the generation of a step by the gate bus wiring on the insulating film 16 is obviated. The high opening rate is obtd. in this way and the generation of the leakage between the gate bus wiring 3 and the source bus wiring 12 is lessened.



Data supplied from the esp@cenet database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-85530

⑬ Int. Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)4月10日

G 02 F 1/136
1/1333

5 0 0
5 0 0

9018-2H
7610-2H

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 アクティブマトリクス表示装置

⑯ 特 願 平1-224193

⑰ 出 願 平1(1989)8月29日

⑱ 発 明 者 官 後 誠 大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社
内

⑲ 発 明 者 岡 博 史 大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社
内

⑳ 発 明 者 加 藤 博 章 大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社
内

㉑ 出 願 人 シヤープ株式会社 大阪府大阪市阿倍野区長池町22番22号

㉒ 代 理 人 弁理士 山本 秀策

明 細 書

1. 発明の名称

アクティブマトリクス表示装置

2. 特許請求の範囲

1. 少なくとも一方が透光性を有する一対の基板と、該一対の基板の何れか一方の基板内面に形成された、絶縁層と、マトリクス状に配された給索電極と、該給索電極に接続された薄膜トランジスタと、該薄膜トランジスタに接続されたゲートバス配線と、を有するアクティブマトリクス表示装置であって、

該ゲートバス配線が、下部ゲート配線と上部ゲート配線とを有し、該絶縁層に形成された溝内に、該下部ゲートバス配線と、該上部ゲートバス配線と、該上部ゲートバス配線上に設けられた絶縁膜と、が形成されているアクティブマトリクス表示装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、薄膜トランジスタを有する大型のア

クティブマトリクス表示装置に関する。

(従来の技術)

絶縁性基板上に薄膜トランジスタ(以下では「TFT」と称する)アレイを形成し、TFTを介して給索電極を駆動するアクティブマトリクス方式は、液晶等を用いた表示装置に用いられている。アクティブマトリクス方式は、特に大型で高密度の表示を行う表示装置にしばしば用いられ、反射型及び透過型の何れの表示装置にも用いることができるという利点を有している。

第7図に、従来のアクティブマトリクス方式の液晶表示装置の一例を示す。ガラス基板41上にTFT42が形成され、TFT42によって給索電極43が駆動される。給索電極43と対向基板44上に形成された対向電極45との間の液晶46に電圧が印加され、表示が行われる。

TFTには、アモルファスシリコン(以下では「a-Si」と称する)、多結晶シリコン、Te、CdSe等が半導体材料として用いられる。第4図に従来のTFTの平面図を示す。尚、第4図で

は重畳形成された層のハッチングを周囲のみに施し、内部にはハッチングを施していない。第5図に第4図のV-V線に沿った断面図を示す。

このTFTは以下のようにして製造される。ガラス基板21上にスパッタリング法により、層厚3000~4000ÅのTa金属が堆積され、フォトリソグラフィ法及びエッチングにより、ゲートバス配線23がパターン形成される。ゲート電極22はゲートバス配線23の一部として形成され、ゲートバス配線23より幅が大きくなっている。ゲート電極22及びゲートバス配線23の表面が隔極酸化され、ゲート絶縁膜として機能する隔極酸化膜24が形成される。

基板21の全面にプラズマCVD法により、層厚2000~4000Åの窒化シリコン(以下では「SiNx」と称する)から成るゲート絶縁膜25が形成される。更に基板全面に、後に半導体層26となる α -Si(1)層(層厚150~1000Å)、及び後にエッチングストップ層兼保護膜27となるSiNx層(層厚100~2000Å)

が順次堆積される。次に、上記SiNx層が所定の形状にパターンニングされ、ゲート電極22の上方のみを残して保護膜27が形成される。

保護膜27を覆って全面に、後にコンタクト層28となるP(リン)をドーブした α -Si(n⁺)層(層厚300~2000Å)が、プラズマCVD法により堆積される。次に、上述の α -Si(1)層及びn型 α -Si層が所定の形状にパターンニングされ、半導体層26及びコンタクト層28が形成される。この時点ではコンタクト層28は保護膜27上ではつながっている。

この基板の全面にMo、Ti、Al等の金属層が2000~10000Åの厚さに堆積され、この金属層がエッチングによりパターンニングされて、ソース電極29、及びドレイン電極31が形成される。このとき、保護膜27上ではコンタクト層28も同時にエッチング除去され、ソース電極29の下方の部分と、ドレイン電極31の下方の部分とに分割される。保護膜27はこのエッチングに対して耐性を示し、半導体層26を保護するた

めに設けられている。次に、スパッタリングにより基板全面に、ITO膜が堆積される。このITO膜が所定の形状にパターンニングされ、絵素電極32が形成される。

多数のこのようなTFTが、ゲートバス配線23上に形成され、アクティブマトリクス基板が構成されている。ソースバス配線30はゲートバス配線23に直交して設けられ、ゲートバス配線23の方向に対して直角方向に並ぶそれぞれのTFTのソース電極29に接続されている。

このようなTFTを用いたアクティブマトリクス表示装置では、走査信号がゲートバス配線23に順次入力され、これに対応するソースバス配線30に画像信号が入力され、絵素電極32が駆動される。ゲートバス配線23及びソースバス配線30の交点は、例えば480×640の絵素有する表示装置では、307200にも達する。この多数の交点のうち、一箇所にでもゲートバス配線23及びソースバス配線30の間のリークが生じると、該リーク箇所を交点とする十字型のライ

ン欠陥が生じる。このようなライン欠陥は画像品位を著しく低下させ、表示装置の歩留りを低下させる。上述の表示装置では、ゲートバス配線23及びソースバス配線30の間を確実に絶縁するため、隔極酸化膜24の形成が可能なTa金属がゲートバス配線23に用いられている。

(発明が解決しようとする課題)

ところが、Ta金属は比抵抗が大きいため、長いゲートバス配線23を有する大型で精細な表示を行う表示装置では、走査信号が減衰してしまう。そのため、ゲートバス配線23の走査信号の入力部の近くに位置する絵素では十分な輝度を得られるが、該入力部から遠くに位置する絵素では十分な輝度を得られなくなる。従って、同一のゲートバス配線23に接続された絵素の列に、走査信号の入力部に近い方から遠い方にかけて、絵素の輝度傾斜が生じることとなる。

このような欠点を解消するために、第6図に示すように、ゲートバス配線及びゲート電極を2層構造とすることが考えられる。第6図のゲートバ

ス配線23は、Al、Al-Si、Al-Si-Cu、Al-Ti、Al-Ti-Si、Al-Mg、Al-Mg-Si、Al-Zn、Al-Mn等から成る比抵抗の小さい下部ゲート配線33と、Ta金属から成る上部ゲート配線34とを有している。このような構成によれば比抵抗の小さい下部ゲート配線33によって、上述の輝度傾斜の発生が防止される。

このような2層構造を有するゲートバス配線23では、上部ゲート配線34の幅は下部ゲート配線33より1~5 μ m大きくされ、上部ゲート配線34は下部ゲート配線33を完全に被覆することが必要である。なぜなら、Ta金属の上部ゲート配線34をパターン形成する工程では、Taのエッチング速度よりも上記Al等のエッチング速度の方がはるかに大きいからである。

ところが、このようにゲートバス配線23の幅が大きくなると、ソースバス配線30とのクロス部分の面積が大きくなり、これらの間にリークが生じ易くなる。更に、アクティブマトリクス基板上に於けるゲート電極22及びゲートバス配線2

3の占める面積が大きくなり、表示画面の開口率が低下する。そのため、表示画面が暗くなり、精細な表示が困難となる。

また、下部ゲート配線33を形成した後のレジスト剥離工程に於いて、下部ゲート配線33にヒロックが発生し易いので、このような下部ゲート配線33上に形成されるTa金属の上部ゲート配線34は下部ゲート配線33を完全に被覆することができなくなる。そのため、ゲート絶縁膜25が介在してもゲートバス配線23とソースバス配線30との間のリークが発生するという新たな問題点が生じることとなる。

本発明は上述の問題点を解決するものであり、本発明の目的は、比抵抗が小さく、ソースバス配線との間のリークの発生が少ないゲートバス配線を有し、しかも開口率の大きいアクティブマトリクス表示装置を提供することである。

(課題を解決するための手段)

本発明のアクティブマトリクス表示装置は、少なくとも一方が透光性を有する一対の基板と、該

一対の基板の何れか一方の基板内面に形成された、絶縁層と、マトリクス状に配された検索電極と、該検索電極に接続された薄膜トランジスタと、該薄膜トランジスタに接続されたゲートバス配線と、を有するアクティブマトリクス表示装置であって、該ゲートバス配線が、下部ゲート配線と上部ゲート配線とを有し、該絶縁層に形成された溝内に、該下部ゲートバス配線と、該上部ゲートバス配線と、該上部ゲートバス配線上に設けられた絶縁膜と、が形成されており、そのことによって上記目的が達成される。

(作用)

本発明のアクティブマトリクス表示装置では、ゲートバス配線が絶縁層に形成された溝の内部に設けられ、ゲートバス配線は下部ゲート配線と上部ゲート配線とを有している。更に、溝内の上部ゲート配線上には絶縁膜が形成されている。

このようにゲートバス配線を2層構造とすることにより、下部ゲート配線に例えばAl等の低抵抗の金属を用い、上部ゲート配線に例えばTaの

ような陽極酸化が可能な金属を用いることができる。

下部ゲート配線にAl等の低抵抗の金属を用いることができれば、同一のゲートバス配線に接続された検索電極によって表示される検索の輝度傾斜は発生しない。また、ゲートバス配線全体の幅を小さくすることができ、表示画面の開口率を大きくすることができる。

上部ゲート配線をTa金属で形成すると、その上に形成される絶縁膜はこのTa金属の上面を陽極酸化することによって形成され得る。

下部ゲート配線の上には、上部ゲート配線及び絶縁膜が設けられているので、下部ゲート配線は上部ゲート配線のパターン形成のためのエッチング工程や、更に後のエッチング工程でエッチャントに曝されることはない。従って、下部ゲート配線に耐エッチャント性の低い材料を用いることが可能となる。

このようにゲートバス配線は絶縁層内に形成され、絶縁膜の上面は絶縁層の表面に一致させるこ

とができるので、絶縁層上にはゲートバス配線によって断差を生じることはない。従って、ゲートバス配線と交差するソースバス配線に、断切れを生じることもない。

(実施例)

本発明を実施例について以下に説明する。第1図に本発明の表示装置に用いられるアクティブマトリクス基板の一実施例のTFT部分の平面図を示す。尚、第1図では重畳形成された層のハッチングを周囲のみに施し、内部にはハッチングを施していない。ゲートバス配線3の一部としてゲート電極2が形成され、ゲート電極2上にTFT18が形成されている。TFT18のソース電極11はソースバス配線12に接続され、TFT18のドレイン電極13は給索電極14に接続されている。第2A図及び第2B図に、それぞれ第1図のA-A線及びB-B線に沿った断面図を示す。第3A図～第3G図に第1図のアクティブマトリクス基板の製造工程を示す。

本実施例を製造工程に従って説明する。ガラス

基板1上の全面に Ta_2O_5 から成る絶縁層16(層厚2000～10000Å)を、スパッタリング法により堆積した。絶縁層16上にフォトリソ膜15を全面に形成し、後にゲートバス配線3及びゲート電極2が形成される領域のフォトリソ膜15を除去した。このフォトリソ膜15をマスクとしてエッチングを行い、深さ2000～10000Åの溝17を形成した(第3A図)。

次に、フォトリソ膜15を除去し、基板上の全面にAl金属層(層厚1000～9000Å)及びTa金属層(層厚500～4600Å)を連続的に堆積した。溝17内のTa金属層上にフォトリソ膜を形成し、エッチングによって溝17内以外の領域のAl金属層及びTa金属層を同時に除去した(第3B図)。溝17内に残されたAl金属層は下部ゲート配線19及び下部ゲート電極4となり、Ta金属層は上部ゲート配線20及び上部ゲート電極5となる。

上部ゲート配線20及び上部ゲート電極5の上

面の陽極酸化を行い、絶縁膜である陽極酸化膜6を形成した(第3C図)。Ta金属層上面を陽極酸化して得られる Ta_2O_5 は耐エッチング性に優れているので、その下層に位置するTa金属層及びAl金属層を後のエッチング工程のエchantから保護することができる。

次に、プラズマCVD法によって、 SiN_x から成るゲート絶縁膜7(層厚2000～6000Å)、後に半導体層8となる $\alpha\text{-Si}(1)$ 層(層厚200～5000Å)、及び後に保護膜9となる SiN_x 層(層厚500～2000Å)を連続的に堆積した。最上層の SiN_x 層のパターニングを行い、第1図に示すような矩形の保護膜9を形成した(第3D図)。

保護膜9を形成した後、プラズマCVD法によって、全面にP(リン)をドーブしたn型 $\alpha\text{-Si}$ 層(層厚500～1500Å)を堆積した。このn型 $\alpha\text{-Si}$ 層は、後にコンタクト層10、10となる。このn型 $\alpha\text{-Si}$ 層と前述の $\alpha\text{-Si}(1)$ 層とを同時にパターニングし、半導体層8

及びコンタクト層10、10を形成した(第3E図)。この段階では2つのコンタクト層10、10は半導体層8上でつながっている。

更に、スパッタリングによりMo金属層(層厚2000～3000Å)を堆積し、パターニングを行ってソース電極11、ドレイン電極13、及びソースバス配線12を形成した(第3F図)。Mo金属層のパターニングと同時に保護膜9上のn型 $\alpha\text{-Si}$ 層も除去され、2つのコンタクト層10、10に分割される。2つのコンタクト層10、10はドレイン電極13及びソース電極11と、半導体層8との間のオーミックコンタクトをとるために設けられる。

最後に、ゲート絶縁膜7上にITOから成る給索電極14を形成した。給索電極14はドレイン電極13に一部重畳されるように形成した。

本実施例では下部ゲート配線19及び下部ゲート電極4はAl金属層から成るので、ゲートバス配線3及びゲート電極2全体の抵抗が小さくなり、同一ゲートバス配線3上に接続された給索電極に

よって表示される検索の、輝度傾斜の問題が解決されている。

A 1 金属層から成る下部ゲート配線 19 及び下部ゲート電極 4 は溝 17 内に設けられ、その上には上部ゲート配線 20 及び上部ゲート電極 5、並びに隔絶酸化膜 6 が形成されている。そのため、下部ゲート配線 19 及び下部ゲート電極 4 と同じ幅の上部ゲート配線 20 及び上部ゲート電極 5 を形成することができる。従って、ゲートバス配線 3 及びゲート電極 2 の幅を小さくすることが可能となり、表示画面の開口率を大きくすることができる。

上部ゲート配線 20 及び上部ゲート電極 6 には Ta を用いているため、該配線 20 及び該電極 5 上に陽極酸化膜 6 を形成することができる。陽極酸化膜 6 が形成されていると、その下に形成されているゲートバス配線 3 及びゲート電極 2 を後の TFT 18 を形成する工程のエッチャントから保護することができる。

また、本実施例では A l 金属層と T a 金属層と

を積層した後、この2つの金属層のエッチングを同時に行っているので、下層のA1金属層に於けるヒロックの発生を防止することができる。

本実施例では、隔極酸化膜 6 の上面は絶縁層 16 の上面に一致するように形成されているので、ゲート電極 2 上に形成される T F T 18 の半導体層 8 を平面上に形成することができる。従って、T F T 18 の信頼性が向上する。また、ゲートバス配線 2 と交差するソースバス配線 12 も平面上に形成することができるので、ゲートバス配線 2 とソースバス配線 12 との交点に於けるリークの発生も低減される。

(発明の効果)

本発明のアクティブマトリクス表示装置は、比抵抗が小さく、幅の小さいゲートバス配線を有している。そのため、本発明の表示装置は高い開口率を有している。しかも、ゲートバス配線とソースバス配線との間のリークの発生が少ない。従って、本発明の表示装置は画像品位の低下を生ずることなく、表示装置の大型化、高精細化に対処し

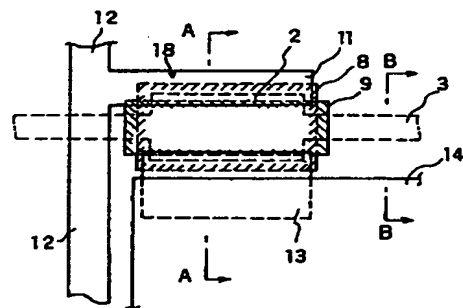
得る。

4. 図面の簡単な説明

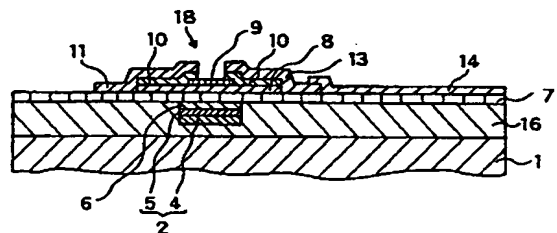
第 1 図は本発明の表示装置に用いられるアクティブマトリクス基板の一実施例の平面図、第 2 A 図及び第 2 B 図はそれぞれ第 1 図の A-A 線及び B-B 線に沿った断面図、第 3 A 図～第 3 G 図は第 1 図のアクティブマトリクス基板の製造工程を示す図、第 4 図は従来のアクティブマトリクス基板の平面図、第 5 図は第 4 図の V-V 線に沿った断面図、第 6 図はゲートバス配線の改良例を示す断面図、第 7 図は従来のアクティブマトリクス表示装置の断面図である。

1…ガラス基板、2…ゲート電極、3…ゲート
バス配線、4…下部ゲート電極、5…上部ゲート
電極、6…隔極酸化膜、7…ゲート絶縁膜、8…
半導体層、9…保護膜、10…コンタクト層、11
1…ソース電極、12…ソースバス配線、13…
ドレイン電極、14…給索電極、16…絶縁層、
17…溝、18…TFT、19…下部ゲート配線、
20…上部ゲート配線。

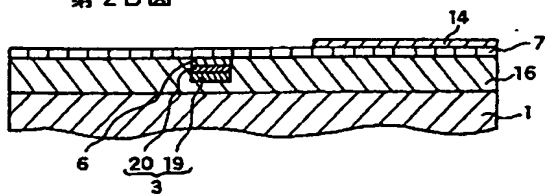
第 1 図



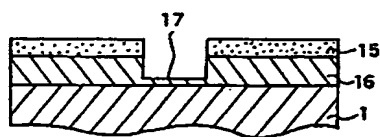
第 2A 区



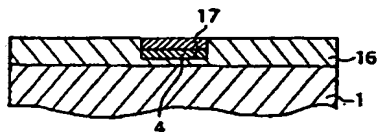
第2B図



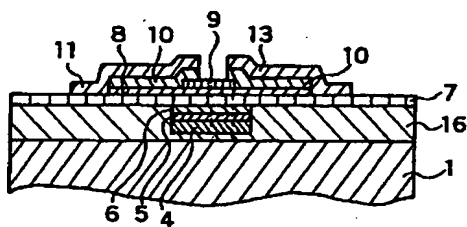
第3A図



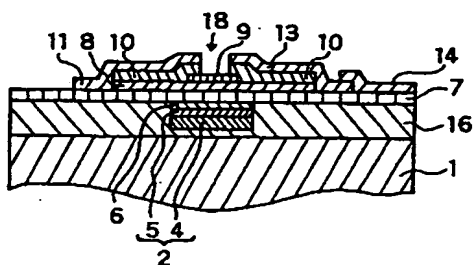
第3B図



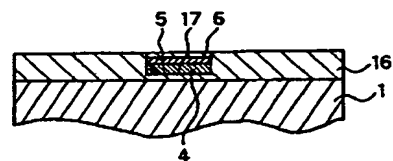
第3F図



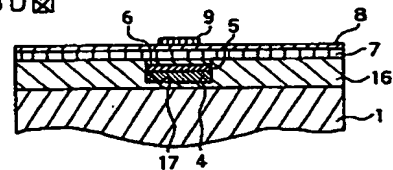
第3G図



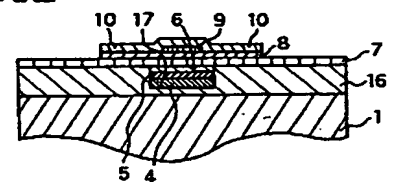
第3C図



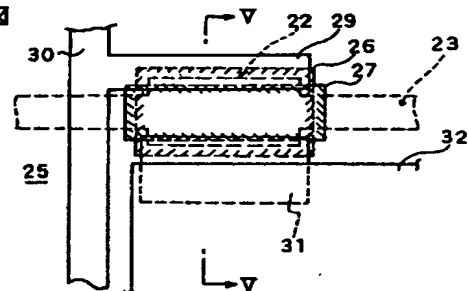
第3D図



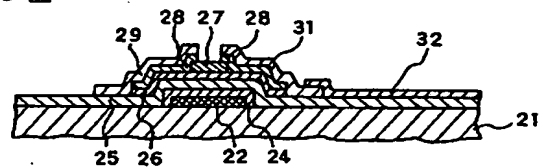
第3E図



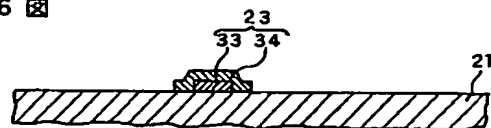
第4図



第5図



第6図



第7図

